

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Munehiro ITO

Date: November 24, 2003

Serial No.:

Group Art Unit:

Filed:

Examiner:

For: METHOD FOR TESTING SEMICONDUCTOR MEMORY DEVICE
AND TEST CIRCUIT FOR SEMICONDUCTOR MEMORY DEVICE

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In accordance with 35 U.S.C. §119, Applicant confirms the prior request for priority under the International Convention and submits herewith a certified copy of the following document in support of the claim:

JAPANESE PATENT APPLICATION NO. 2002-349275 FILED NOVEMBER 29, 2002**EXPRESS MAIL CERTIFICATE**

I hereby certify that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee (mail label #EV342534959US) in an envelope addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on November 24 2003 :

DOROTHY JENKINS

Name of Person-Mailing Correspondence



Signature

November 24 2003

Date of Signature

RCF:cg

Respectfully submitted,

Robert C. Faber

Registration No.: 24,322

OSTROLENK, FABER, GERB & SOFFEN, LLP

1180 Avenue of the Americas

New York, New York 10036-8403

Telephone: (212) 382-0700

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 9 日
Date of Application:

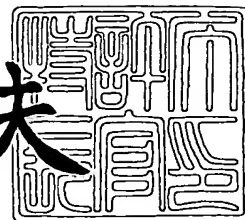
出 願 番 号 特 願 2 0 0 2 - 3 4 9 2 7 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 4 9 2 7 5]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 1 0 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 75410135

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 伊藤 宗広

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100099830

【弁理士】

【氏名又は名称】 西村 征生

【電話番号】 048-825-8201

【手数料の表示】

【予納台帳番号】 038106

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 委任状 1

【援用の表示】 平成 1 4 年 1 1 月 2 2 日提出の包括委任状を援用する。

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置のテスト方法、半導体記憶装置のテスト回路、半導体記憶装置及び半導体装置

【特許請求の範囲】

【請求項 1】 外部クロックの周波数の n 倍（ n は自然数）の周波数を有し、前記外部クロックに同期した高速クロックに同期して、半導体記憶装置の記憶部に書き込むべき 1 ビット分のデータの記憶領域を指定するために供給される外部アドレスを含む n 個の内部アドレスを発生するとともに、前記高速クロックに同期して n 個の前記内部アドレスに対応した n ビットの内部ライトデータを発生して前記記憶部に書き込む第 1 のステップと、

前記記憶部から読み出すべき 1 ビット分のデータの記憶領域を指定するために供給される外部アドレスをラッチし、前記外部アドレスを含む n 個の内部アドレスを前記高速クロックに同期して発生するとともに、前記高速クロックに同期して n 個の前記内部アドレスに対応した n ビットの内部リードデータを前記記憶部から読み出し、 n 個の前記内部アドレスのうち、ラッチした前記外部アドレスと一致した前記内部アドレスに対応した前記内部リードデータを出力する第 2 のステップと

を有することを特徴とする半導体記憶装置のテスト方法。

【請求項 2】 前記第 2 のステップでは、 n 個の前記内部アドレスのうち、ラッチした前記外部アドレスと一致し、かつ、前記高速クロックに同期した 1 個の前記内部アドレスに応じて前記記憶部から読み出された 1 ビットの内部リードデータを出力することを特徴とする請求項 1 記載の半導体記憶装置のテスト方法。

【請求項 3】 n 個の前記内部アドレスは、前記外部アドレスからその番地を順次インクリメントして生成する第 1 のアドレス生成方法、前記外部アドレスからその番地を順次デクリメントして生成する第 2 のアドレス生成方法、前記外部アドレスを含む n 個ごとに区切られた範囲内で生成する第 3 のアドレス生成方法のいずれかで生成されることを特徴とする請求項 1 又は 2 記載の半導体記憶装置のテスト方法。

【請求項4】 n ビットの前記内部ライトデータは、値「1」を n 個連続して生成する第1のデータ生成方法、値「0」を n 個連続して生成する第2のデータ生成方法、交互に値「1」と値「0」とをこの順序で繰り返して生成する第3のデータ生成方法、交互に値「0」と値「1」とをこの順序で繰り返して生成する第4のデータ生成方法のいずれかで生成されることを特徴とする請求項1乃至3のいずれか1に記載の半導体記憶装置のテスト方法。

【請求項5】 外部クロックの周波数の n 倍（ n は自然数）の周波数を有し、前記外部クロックに同期した高速クロックを発生する高速クロック発生回路と、

半導体記憶装置の記憶部に書き込むべき1ビット分のデータの記憶領域を指定するために供給される第1の外部アドレスを含む n 個の第1の内部アドレスを前記高速クロックに同期して発生するとともに、前記記憶部から読み出すべき1ビット分のデータの記憶領域を指定するために供給される第2の外部アドレスをラッチしてラッチアドレスとして出力し、前記第2の外部アドレスを含む n 個の第2の内部アドレスを前記高速クロックに同期して発生する高速アドレス発生回路と、

前記高速クロックに同期して n 個の前記第1の内部アドレスに対応した n ビットの内部ライトデータを発生して前記記憶部に供給するとともに、前記高速クロックに同期して前記記憶部から読み出された n ビットの内部リードデータのうち、 n 個の前記第2の内部アドレスの中で前記ラッチアドレスと一致した前記第2の内部アドレスに対応した前記内部リードデータを出力する高速データ発生回路と

を備えていることを特徴とする半導体記憶装置のテスト回路。

【請求項6】 前記高速データ発生回路は、 n 個の前記内部アドレスの中で前記ラッチアドレスと一致し、かつ、前記高速クロックに同期した1個の前記内部アドレスに応じて前記記憶部から読み出された1ビットの前記内部リードデータを出力することを特徴とする請求項5記載の半導体記憶装置のテスト回路。

【請求項7】 前記高速アドレス発生回路は、 n 個の前記内部アドレスを、前記外部アドレスからその番地を順次インクリメントして生成する第1のアドレ

ス生成方法、前記外部アドレスからその番地を順次デクリメントして生成する第2のアドレス生成方法、前記外部アドレスを含むn個ごとに区切られた範囲内で生成する第3のアドレス生成方法のいずれかにより生成することを特徴とする請求項5又は6記載の半導体記憶装置のテスト回路。

【請求項8】 前記高速データ発生回路は、nビットの前記内部ライトデータを、値「1」をn個連続して生成する第1のデータ生成方法、値「0」をn個連続して生成する第2のデータ生成方法、交互に値「1」と値「0」とをこの順序で繰り返して生成する第3のデータ生成方法、交互に値「0」と値「1」とをこの順序で繰り返して生成する第4のデータ生成方法のいずれかにより生成することを特徴とする請求項5乃至7のいずれか1に記載の半導体記憶装置のテスト回路。

【請求項9】 前記高速アドレス発生回路は、外部アドレス取込・ラッチ回路と、内部アドレス発生回路とを備え、

前記外部アドレス取込・ラッチ回路は、前記外部アドレスを取り込み、ラッチして前記ラッチアドレスとして前記高速データ発生回路に供給するとともに、前記取り込んだ前記外部アドレスを前記内部アドレス発生回路に転送し、

前記内部アドレス発生回路は、前記外部アドレス取込・ラッチ回路から供給される前記外部アドレスを含むn個の前記内部アドレスを前記高速クロックに同期して発生する

ことを特徴とする請求項5乃至8のいずれか1に記載の半導体記憶装置のテスト回路。

【請求項10】 請求項5乃至9のいずれか1に記載の半導体記憶装置のテスト回路を備えていることを特徴とする半導体記憶装置。

【請求項11】 請求項5乃至9のいずれか1に記載の半導体記憶装置のテスト回路を備えていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置のテスト方法、半導体記憶装置のテスト回路、半

導体記憶装置及び半導体装置に関し、詳しくは、半導体記憶装置にデータを正常に書き込み及び読み出しをすることができるか否かをテストする半導体記憶装置のテスト方法、半導体記憶装置のテスト回路、このテスト回路を備えた半導体記憶装置及び、このテスト回路、半導体記憶装置、CPU（中央処理装置）、複数の入出力手段等をバスを介して接続して構成したシステムを1個の半導体チップ内に組み込んだSOC（System On a Chip）（商標名）等の半導体装置に関する。

【0002】

【従来の技術】

図8は従来の半導体記憶装置のテスト方法を適用した半導体装置の一部の構成例を示すブロック図である（例えば、特許文献1参照。）。

この例の半導体装置は、位相同期ループ回路（PLL C；Phase Locked Loop Circuit）1と、アドレス発生回路（AGC；Address Generating Circuit）2と、データ発生回路（DGC；Data Generating Circuit）3と、同期型SRAMマクロ4と、データ比較回路（DC；Data Comparator）5と、スイッチ6～10とを有している。スイッチ6～10は、この例の半導体装置が通常動作時にすべてオンし、テスト時にすべてオフする。PLL C 1は、テスト時に、外部クロックECKの周波数の4倍の周波数を有する内部クロックICKを発生する。AGC 2は、テスト時に、SRAMマクロ4に供給すべきnビット（nは自然数）のアドレスA0～Anのうち、下位2ビット分を内部クロックICKに同期して発生する。

【0003】

DGC 3は、テスト時に、内部クロックICKに同期して、外部から供給される外部データEDTに対応した内部データIDTを発生する。同期型SRAMマクロ4は、テスト時に、外部から供給されるライトイネーブル信号WEに基づいて、DGC 3から供給される内部データIDTを、外部から供給される上位（n-2）ビットのアドレスA2～An及びAGC 2から供給される下位2ビットのアドレスA0、A1に対応した記憶領域に、内部クロックICKに同期して記憶する。DC 5は、テスト時に、同期型SRAMマクロ4から読み出された出力デ

ータと、外部から供給される期待値パターンとを比較し、出力データが、0と1の交互の列であり、かつ、その先頭データが期待値パターンと一致しているか否かを判定し、判定結果TRを出力する。

【0004】

【特許文献1】

特開平7-78495号公報（第2-3頁、図1）

【0005】

【発明が解決しようとする課題】

ところで、半導体記憶装置は、年々記憶容量が増大する傾向にあり、それに伴ってチップ面積が増大するとともに、パターンの微細化が進んでいるため、1個の半導体記憶装置内でデータの書き込み・読み出しが正常に行えない欠陥メモリセルの発生を皆無にすることは困難になってきている。

このため、従来では、半導体記憶装置内に必要な記憶容量よりも余分にメモリセル（冗長メモリセル）の列及び行を設け、電気的特性等を検査するプローブテスト工程において、欠陥メモリセルを含む列又は行を冗長メモリセルの列又は行に置換するメモリセルの救済が行われている。これにより、半導体記憶装置の製品としての歩留まりの向上が図られている。

上記欠陥メモリセルから冗長メモリセルへの置換を行うためには、半導体記憶装置の各メモリセルごとにデータの書き込み・読み出しを行って正常なメモリセルか欠陥メモリセルかを判定する必要がある。

【0006】

ところが、上記した従来の半導体記憶装置のテスト方法では、DC5において、同期型SRAMマクロ4から読み出された4ビットの出力データと、外部から供給される4ビットの期待値パターンとを比較して一致しているか否かを判定している。このため、4ビットの出力データが4ビットの期待値パターンと不一致であると判定されても、当該4ビットの出力データに対応した4個のメモリセルのいずれのメモリセルが使用不能（フェイル（fail））であるかを判断することができないという欠点があった。この結果、上記した従来の半導体記憶装置のテスト方法は、上記したプローブテスト工程に用いることができない。

【0007】

この点、半導体記憶装置の内部で用いられている高速な内部クロック I C K と同一のクロックに同期して外部から 1 つずつアドレスを供給することにより 1 ビットずつデータの書き込み・読み出しを行って対応した 1 個のメモリセルが使用可能（パス（pass））か使用不能（フェイル（fail））かを高速に判断することが考えられる。しかし、上記したプローブテスト工程においては、半導体記憶装置が多数形成された半導体ウェハのいずれの半導体記憶装置のいずれのメモリセルが欠陥メモリセルであるかについて演算処理してフェイルメモリと呼ばれる記憶手段に記憶する必要がある。したがって、このような高速なテスト方法は、上記演算処理が間に合わないため、上記したプローブテスト工程に用いることができない。

【0008】

この発明は、上述の事情に鑑みてなされたもので、低速な外部クロックを逡倍した高速な内部クロックを用いた場合であっても、1 つの外部アドレスに対し一対一に対応した読み出しデータを得ることができる半導体記憶装置のテスト方法、半導体記憶装置のテスト回路、半導体記憶装置及び半導体装置を提供することを目的としている。

【0009】

【課題を解決するための手段】

上記課題を解決するために、請求項 1 記載の発明に係る半導体記憶装置のテスト方法は、外部クロックの周波数の n 倍（ n は自然数）の周波数を有し、上記外部クロックに同期した高速クロックに同期して、半導体記憶装置の記憶部に書き込むべき 1 ビット分のデータの記憶領域を指定するために供給される外部アドレスを含む n 個の内部アドレスを発生するとともに、上記高速クロックに同期して n 個の上記内部アドレスに対応した n ビットの内部ライトデータを発生して上記記憶部に書き込む第 1 のステップと、上記記憶部から読み出すべき 1 ビット分のデータの記憶領域を指定するために供給される外部アドレスをラッチし、上記外部アドレスを含む n 個の内部アドレスを上記高速クロックに同期して発生するとともに、上記高速クロックに同期して n 個の上記内部アドレスに対応した n ビッ

トの内部リードデータを上記記憶部から読み出し、 n 個の上記内部アドレスのうち、ラッチした上記外部アドレスと一致した上記内部アドレスに対応した上記内部リードデータを出力する第2のステップとを有することを特徴としている。

【0010】

また、請求項2記載の発明は、請求項1記載の半導体記憶装置のテスト方法に係り、上記第2のステップでは、 n 個の上記内部アドレスのうち、ラッチした上記外部アドレスと一致し、かつ、上記高速クロックに同期した1個の上記内部アドレスに応じて上記記憶部から読み出された1ビットの上記内部リードデータを出力することを特徴としている。

【0011】

また、請求項3記載の発明は、請求項1又は2記載の半導体記憶装置のテスト方法に係り、 n 個の上記内部アドレスは、上記外部アドレスからその番地を順次インクリメントして生成する第1のアドレス生成方法、上記外部アドレスからその番地を順次デクリメントして生成する第2のアドレス生成方法、上記外部アドレスを含む n 個ごとに区切られた範囲内で生成する第3のアドレス生成方法のいずれかで生成されることを特徴としている。

【0012】

また、請求項4記載の発明は、請求項1乃至3のいずれか1に記載の半導体記憶装置のテスト方法に係り、 n ビットの上記内部ライトデータは、値「1」を n 個連続して生成する第1のデータ生成方法、値「0」を n 個連続して生成する第2のデータ生成方法、交互に値「1」と値「0」とをこの順序で繰り返して生成する第3のデータ生成方法、交互に値「0」と値「1」とをこの順序で繰り返して生成する第4のデータ生成方法のいずれかで生成されることを特徴としている。

【0013】

また、請求項5記載の発明に係る半導体記憶装置のテスト回路は、外部クロックの周波数の n 倍（ n は自然数）の周波数を有し、上記外部クロックに同期した高速クロックを発生する高速クロック発生回路と、半導体記憶装置の記憶部に書き込むべき1ビット分のデータの記憶領域を指定するために供給される第1の外

部アドレスを含む n 個の第 1 の内部アドレスを上記高速クロックに同期して発生するとともに、上記記憶部から読み出すべき 1 ビット分のデータの記憶領域を指定するために供給される第 2 の外部アドレスをラッチしてラッチアドレスとして出力し、上記第 2 の外部アドレスを含む n 個の第 2 の内部アドレスを上記高速クロックに同期して発生する高速アドレス発生回路と、上記高速クロックに同期して n 個の上記第 1 の内部アドレスに対応した n ビットの内部ライトデータを発生して上記記憶部に供給するとともに、上記高速クロックに同期して上記記憶部から読み出された n ビットの内部リードデータのうち、 n 個の上記第 2 の内部アドレスの中で上記ラッチアドレスと一致した上記第 2 の内部アドレスに対応した上記内部リードデータを出力する高速データ発生回路とを備えていることを特徴としている。

【0014】

また、請求項 6 記載の発明は、請求項 5 記載の半導体記憶装置のテスト回路に係り、上記高速データ発生回路は、 n 個の上記内部アドレスの中で上記ラッチアドレスと一致し、かつ、上記高速クロックに同期した 1 個の上記内部アドレスに応じて上記記憶部から読み出された 1 ビットの上記内部リードデータを出力することを特徴としている。

【0015】

また、請求項 7 記載の発明は、請求項 5 又は 6 記載の半導体記憶装置のテスト回路に係り、上記高速アドレス発生回路は、 n 個の上記内部アドレスを、上記外部アドレスからその番地を順次インクリメントして生成する第 1 のアドレス生成方法、上記外部アドレスからその番地を順次デクリメントして生成する第 2 のアドレス生成方法、上記外部アドレスを含む n 個ごとに区切られた範囲内で生成する第 3 のアドレス生成方法のいずれかにより生成することを特徴としている。

【0016】

また、請求項 8 記載の発明は、請求項 5 乃至 7 のいずれか 1 に記載の半導体記憶装置のテスト回路に係り、上記高速データ発生回路は、 n ビットの上記内部ライトデータを、値「1」を n 個連続して生成する第 1 のデータ生成方法、値「0」を n 個連続して生成する第 2 のデータ生成方法、交互に値「1」と値「0」と

をこの順序で繰り返して生成する第 3 のデータ生成方法、交互に値「0」と値「1」とをこの順序で繰り返して生成する第 4 のデータ生成方法のいずれかにより生成することを特徴としている。

【0 0 1 7】

また、請求項 9 記載の発明は、請求項 5 乃至 8 のいずれか 1 に記載の半導体記憶装置のテスト回路に係り、上記高速アドレス発生回路は、外部アドレス取込・ラッチ回路と、内部アドレス発生回路とを備え、上記外部アドレス取込・ラッチ回路は、上記外部アドレスを取り込み、ラッチして上記ラッチアドレスとして上記高速データ発生回路に供給するとともに、上記取り込んだ上記外部アドレスを上記内部アドレス発生回路に転送し、上記内部アドレス発生回路は、上記外部アドレス取込・ラッチ回路から供給される上記外部アドレスを含む n 個の上記内部アドレスを上記高速クロックに同期して発生することを特徴としている。

【0 0 1 8】

また、請求項 1 0 に係る半導体記憶装置は、請求項 5 乃至 9 のいずれか 1 に記載の半導体記憶装置のテスト回路を備えていることを特徴としている。

【0 0 1 9】

また、請求項 1 1 に係る半導体装置は、請求項 5 乃至 9 のいずれか 1 に記載の半導体記憶装置のテスト回路を備えていることを特徴としている。

【0 0 2 0】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

図 1 は、この発明の一実施例である半導体記憶装置のテスト方法を適用した半導体記憶装置の一部の構成を示すブロック図である。

この例の半導体記憶装置は、テスト回路 1 1 と、RAM マクロ 1 2 とを有している。テスト回路 1 1 は、PLL 制御回路 (PLL CTC ; PLL Controlling Circuit) 1 3 と、PLL C 1 4 と、高速制御信号発生回路 1 5 と、高速アドレス発生回路 1 6 と、高速データ発生回路 1 7 と、接続切替回路 1 8 と、制御バス 1 9 ~ 2 2 とから構成されている。

【0021】

PLL制御回路13は、外部から供給される外部クロックECK、外部チップセレクト信号ECSE、外部ライトイネーブル信号EWEB、テスト切替信号HSPT、外部アドレスEADに基づいて、制御バス19を介してPLL14を制御する。外部チップセレクト信号ECSEは、外部から供給されるコマンドの受け付けを許可するローアクティブの信号である。すなわち、テスト回路11は、外部チップセレクト信号ECSEが”L”レベルの時、外部から供給される外部ライトデータETDのRAMマクロ12への書き込みを指示するライトコマンドWCM又はRAMマクロ12から読み出されたリードデータTQの外部への読み出しを指示するリードコマンドRCMの受け付けが許可される。一方、テスト回路11は、外部チップセレクト信号ECSEが”H”レベルの時、コマンドの受け付けが許可されないNOP (No Operation) 状態となる。

【0022】

外部ライトイネーブル信号EWEBは、外部から供給される外部ライトデータTDのRAMマクロ12への書き込み又はRAMマクロ12から読み出されたリードデータTQの外部への読み出しを許可するためのローアクティブの信号である。すなわち、テスト回路11は、外部チップセレクト信号ECSEが”L”レベルの時に、外部ライトイネーブル信号EWEBが”L”レベルであると、外部クロックECKの立ち上がり同期して、ライトコマンドWCMを受け付ける。一方、外部チップセレクト信号ECSEが”L”レベルの時に、外部ライトイネーブル信号EWEBが”H”レベルであると、テスト回路11は、リードコマンドRCMを受け付ける。テスト切替信号HSPTは、”H”レベルの時にPLL14から出力されるPLLクロックPCKを用いた高速テストを指示し、”L”レベルの時に外部から供給される外部クロックECKを用いた通常テストを指示する信号である。

【0023】

PLL14は、PLL制御回路13に制御され、高速テスト時に、外部クロックECKの周波数のn倍（nは自然数、例えば、4）の周波数を有し、外部クロックECKに同期したPLLクロックPCKを発生する。高速制御信号発生回

路 15 は、外部から供給される外部クロック ECK、外部チップセレクト信号 ECSB、外部ライトイネーブル信号 EWEB、テスト切替信号 HSPT、外部アドレス EAD に基づいて高速テストにおいて用いる内部チップセレクト信号 IC SB、内部ライトイネーブル信号 IWEB を発生するとともに、テスト切替信号 HSPT が "H" レベルのときに PLLC14 から供給される PLL クロック PCK を内部クロック ICK として出力する。

【0024】

高速アドレス発生回路 16 は、図 2 に示すように、外部アドレス取込・ラッチ回路 21 と、内部アドレス発生回路 22 と、制御バス 23 とから構成されている。外部アドレス取込・ラッチ回路 21 は、リードコマンド RCM を受け付けた後に供給される外部アドレス EAD を取り込み、ラッチした後、ラッチアドレス LAD として高速データ発生回路 17 に供給する。また、外部アドレス取込・ラッチ回路 21 は、取り込んだ外部アドレス EAD を制御バス 23 を介して内部アドレス発生回路 22 に転送する。外部アドレス EAD は、RAM マクロ 12 から読み出すべき 1 ビットのデータの記憶領域を指定するためのものである。内部アドレス発生回路 22 は、外部アドレス取込・ラッチ回路 21 から制御バス 23 を介して供給される外部アドレス EAD を含む 4 つの内部アドレス IAD を PLL クロック PCK の立ち上がり同期して発生する。例えば、外部アドレス EAD が (2, 0) である場合、4 つの内部アドレス IAD は (0, 0)、(1, 0)、(2, 0)、(3, 0) となる。ここで、(x, y) とは、x が 2 進数の 4 ビットのロウアドレスを 16 進数で表したものであり、y が 2 進数の 4 ビットのコラムアドレスを 16 進数で表したものである。

【0025】

高速データ発生回路 17 は、高速テストのライト時に、外部から供給される外部クロック ECK、外部チップセレクト信号 ECSB、外部ライトイネーブル信号 EWEB、テスト切替信号 HSPT、外部アドレス EAD と、PLLC14 から供給される PLL クロック PCK とに基づいて、RAM マクロ 12 の外部アドレス EAD を含む n ビット分のアドレス AD に対応した n ビット分の内部ライトデータ ITD を発生する。また、高速データ発生回路 17 は、高速テストのリー

ド時に、外部から供給される外部クロックECK、外部チップセレクト信号EC
SB、外部ライトイネーブル信号EWEB、テスト切替信号HSPT、外部アド
レスEADと、PLL14から供給されるPLLクロックPCKとに基づいて
、RAMマクロ12から読み出され、接続切替回路18を介して供給されたnビ
ットの内部リードデータITQの中から外部アドレスEADに対応した1ビット
のリードデータを選択し、外部リードデータETQとして出力する。

【0026】

高速データ発生回路17は、図3に示すように、リードデータ選択回路24と
、データアウトバッファ回路25とを有している。リードデータ選択回路24は
、イクスクルーシブノアゲート31～38と、2入力アンドゲート39～47と
、3入力アンドゲート48と、ノアゲート49と、インバータ50～52と、デ
レイ53と、切替信号発生回路54と、トランスファゲート55及び56と
から構成されている。イクスクルーシブノアゲート31は、外部アドレス取込・ラ
ッチ回路21から供給されるラッチアドレスLADを構成するロウアドレスの第
1位ビット Lx_0 と、内部アドレス発生回路22から供給される内部アドレスI
ADを構成するロウアドレスの第1位ビット ix_0 とが一致した場合に”H”レベ
ルの出力データを出力する。同様に、イクスクルーシブノアゲート32は、ラッ
チアドレスLADを構成するロウアドレスの第2位ビット Lx_1 と、内部アドレ
スIADを構成するロウアドレスの第2位ビット ix_1 とが一致した場合に”H”
レベルの出力データを出力する。イクスクルーシブノアゲート33は、ラッチア
ドレスLADを構成するロウアドレスの第3位ビット Lx_2 と、内部アドレスI
ADを構成するロウアドレスの第3位ビット ix_2 とが一致した場合に”H”レベ
ルの出力データを出力する。イクスクルーシブノアゲート34は、ラッチアドレ
スLADを構成するロウアドレスの第4位ビット Lx_3 と、内部アドレスIAD
を構成するロウアドレスの第4位ビット ix_3 とが一致した場合に”H”レベルの
出力データを出力する。

【0027】

また、イクスクルーシブノアゲート35は、外部アドレス取込・ラッチ回路2
1から供給されるラッチアドレスLADを構成するカラムアドレスの第1位ビッ

ト Ly_0 と、内部アドレス発生回路 22 から供給される内部アドレス IAD を構成するカラムアドレスの第 1 位ビット iy_0 とが一致した場合に "H" レベルの出力データを出力する。同様に、イクスクルーシブノアゲート 36 は、ラッチアドレス LAD を構成するカラムアドレスの第 2 位ビット Ly_1 と、内部アドレス IAD を構成するカラムアドレスの第 2 位ビット iy_1 とが一致した場合に "H" レベルの出力データを出力する。イクスクルーシブノアゲート 37 は、ラッチアドレス LAD を構成するカラムアドレスの第 3 位ビット Ly_2 と、内部アドレス IAD を構成するカラムアドレスの第 3 位ビット iy_2 とが一致した場合に "H" レベルの出力データを出力する。イクスクルーシブノアゲート 38 は、ラッチアドレス LAD を構成するカラムアドレスの第 4 位ビット Ly_3 と、内部アドレス IAD を構成するカラムアドレスの第 4 位ビット iy_3 とが一致した場合に "H" レベルの出力データを出力する。

【0028】

2 入力アンドゲート 39 は、イクスクルーシブノアゲート 31 の出力データと、イクスクルーシブノアゲート 32 の出力データとの論理積を取る。2 入力アンドゲート 40 は、イクスクルーシブノアゲート 33 の出力データと、イクスクルーシブノアゲート 34 の出力データとの論理積を取る。2 入力アンドゲート 41 は、アンドゲート 39 の出力データと、アンドゲート 40 の出力データとの論理積を取る。2 入力アンドゲート 42 は、イクスクルーシブノアゲート 35 の出力データと、イクスクルーシブノアゲート 36 の出力データとの論理積を取る。2 入力アンドゲート 43 は、イクスクルーシブノアゲート 37 の出力データと、イクスクルーシブノアゲート 38 の出力データとの論理積を取る。2 入力アンドゲート 44 は、アンドゲート 42 の出力データと、アンドゲート 43 の出力データとの論理積を取る。

【0029】

インバータ 50 は、PLL クロック $PCCK$ を反転する。2 入力アンドゲート 45 は、インバータ 50 の出力データと、リードイネーブル信号 RE との論理積を取る。リードイネーブル信号 RE は、外部クロック ECK の 1 サイクルの間に RAM マクロ 12 から 4 ビットのデータを読み出すことを許可するために "H" レベ

ルになる信号であり、高速制御信号発生回路 15 から供給される。3 入力アンドゲート 48 は、アンドゲート 41 の出力データと、アンドゲート 44 の出力データと、アンドゲート 45 の出力データとの論理積を取り、その結果を選択信号 R H I T として出力する。ディレイ 53 は、リードイネーブル信号 R E を外部クロック E C K の 1 サイクル分だけ遅延する。インバータ 51 は、ディレイ 53 の出力データを反転する。ノアゲート 49 は、外部クロック E C K と、インバータ 51 の出力データとの論理和を取り、その結果を反転してデータイネーブル信号 D E として出力する。切替信号発生回路 54 は、選択信号 R H I T の立ち下がりで変化する切替信号 R H S を発生する。2 入力アンドゲート 46 は、選択信号 R H I T と、切替信号 R H S との論理積を取る。トランスファゲート 55 は、アンドゲート 46 の出力信号が”H”レベルの時、R A M マクロ 12 から読み出され、接続切替回路 18 を介して供給された 4 ビットの内部リードデータ I T Q のうち、外部アドレス E A D に対応し、かつ、奇数番目の 1 ビットのデータだけを出力する。インバータ 52 は、切替信号 R H S を反転する。2 入力アンドゲート 47 は、選択信号 R H I T と、インバータ 52 の出力データとの論理積を取る。トランスファゲート 56 は、アンドゲート 47 の出力信号が”H”レベルの時、R A M マクロ 12 から読み出され、接続切替回路 18 を介して供給された 4 ビットの内部リードデータ I T Q のうち、外部アドレス E A D に対応し、かつ、偶数番目の 1 ビットのデータだけを出力する。

【0030】

データアウトバッファ回路 25 は、分周回路 61 と、アンドゲート 62 及び 63 と、ラッチ 64 ~ 66 と、トランスファゲート 67 及び 68 と、インバータ 69 ~ 75 とから構成されている。分周回路 61 は、ディレイ・フリップフロップ (D F F) からなり、外部クロック E C K を 2 分の 1 に分周した分周クロック E C K S を出力する。アンドゲート 62 は、分周クロック E C K S とデータイネーブル信号 D E との論理積を取る。ラッチ 64 は、インバータ 70 及び 71 から構成されており、トランスファゲート 55 の出力データをラッチする。トランスファゲート 67 は、アンドゲート 62 の出力データが”H”レベルの時、外部クロック E C K の立ち下がりに同期して、ラッチ 64 の出力データを出力する。インバ

ータ 69 は、分周クロック ECKS を反転する。アンドゲート 63 は、インバータ 69 の出力データとデータイネーブル信号 DE との論理積を取る。ラッチ 65 は、インバータ 72 及び 73 から構成されており、トランスファゲート 56 の出力データをラッチする。トランスファゲート 68 は、アンドゲート 63 の出力データが "H" レベルの時、外部クロック ECK の立ち下がりに同期して、ラッチ 65 の出力データを出力する。ラッチ 66 は、インバータ 74 及び 75 から構成されており、トランスファゲート 67 又は 68 の出力データをラッチした後、外部リードデータ ETQ として出力する。

【0031】

図 1 に示す接続切替回路 18 は、テスト切替信号 HSP T が "L" レベルの時、外部から供給される、外部アドレス EAD、外部クロック ECK、外部ライトデータ TD、外部チップセレクト信号 ECSB、外部ライトイネーブル信号 WEB を、それぞれアドレス AD、クロック CK、ライトデータ TD、チップセレクト信号 CSB、ライトイネーブル信号 WEB として RAM マクロ 12 に供給するとともに、RAM マクロ 12 から読み出されたデータを外部リードデータ TQ として外部に出力する。一方、テスト切替信号 HSP T が "H" レベルの時、接続切替回路 18 は、高速アドレス発生回路 16 から供給される内部アドレス IAD と、高速制御信号発生回路 15 から供給される内部クロック ICK、内部チップセレクト信号 IC SB、内部ライトイネーブル信号 IWEB と、高速データ発生回路 17 から供給される内部ライトデータ ITD を、それぞれアドレス AD、クロック CK、ライトデータ TD、チップセレクト信号 CSB、ライトイネーブル信号 WEB として RAM マクロ 12 に供給するとともに、RAM マクロ 12 から読み出されたデータを内部リードデータ ITQ として高速データ発生回路 17 に供給する。

【0032】

RAM マクロ 12 は、接続切替回路 18 から供給されるライトイネーブル信号 WEB に基づいて、接続切替回路 18 から供給されるライトデータ TD を、接続切替回路 18 から供給されるアドレス AD に対応した記憶領域に、接続切替回路 18 から供給されるクロック CK に同期して記憶する。また、RAM マクロ 12

は、接続切替回路 18 から供給されるアドレス AD に対応した記憶領域から、接続切替回路 18 から供給されるクロック CK に同期してリードデータ TQ を読み出す。

【0033】

ここで、図 4 に高速制御信号発生回路 15 及び接続切替回路 18 における、PLL クロック PCK と、外部クロック ECK、テスト切替信号 HSP T と、内部クロック ICK と、クロック CK との関係を示す。通常テスト時には、図 4 (3) に示すテスト切替信号 HSP T は "L" レベルであり、高速制御信号発生回路 15 には図 4 (1) に示す PLL クロック PCK は供給されず、また接続切替回路 18 は、図 4 (2) に示す外部クロック ECK をクロック CK として RAM マクロ 12 に供給する (図 4 (5) 参照)。一方、高速テスト時には、図 4 (3) に示すテスト切替信号 HSP T は "H" レベルであり、高速制御信号発生回路 15 には図 4 (1) に示す PLL クロック PCK が供給されるので、高速制御信号発生回路 15 は、図 4 (4) に示すように、図 4 (1) に示す PLL クロック PCK を内部クロック ICK として接続切替回路 18 に供給する。したがって、接続切替回路 18 は、図 4 (4) に示す内部クロック ICK をクロック CK として RAM マクロ 12 に供給する (図 4 (5) 参照)。

【0034】

次に、上記構成の半導体記憶装置におけるテスト方法について説明する。まずこのテスト方法の概要について図 5 に示すタイミング・チャートを参照して説明する。図 5 (3) に示すように、テスト切替信号 HSP T を "H" レベルとした後、設定サイクル T_S では、図 5 (1) に示す外部クロック ECK の 1 サイクル当たりの PLL C14 の発生する PLL クロック PCK (図 5 (2) 参照) のパルス数 n (n は自然数) と、内部アドレス IAD の生成方法と、内部ライトデータ ITD の生成方法とを設定する。この設定方法の一例としては、テスト切替信号 HSP T が "H" レベル、外部チップセレクト信号 ECSB が "H" レベルの状態において、外部ライトイネーブル信号 EWEB を "L" レベルとし、外部アドレス EAD にアドレスキーを入力し、外部クロック ECK の立ち上がりでモードエントリするというものがある。ここで、内部アドレス IAD の生成方法とは、例えば

、最初に与えた外部アドレス EAD からその番地を順次インクリメントして n 個分の内部アドレス IAD_k ($=EAD$) (k は自然数), IAD_{k+1} ($=EAD+1$), \dots , IAD_{k+n-1} ($=EAD+n-1$) を生成するのか、最初に与えた外部アドレス EAD からその番地を順次デクリメントして n 個分の内部アドレス IAD_k ($=EAD$) (k は自然数), IAD_{k-1} ($=EAD-1$), \dots , IAD_{k-n+1} ($=EAD-n+1$) を生成するのか、あるいは最初に与えた外部アドレス EAD を含む n 個ごとに区切られた n 個の内部アドレス IAD_0 , IAD_1 , \dots , IAD_k ($=EAD$) (k は自然数), \dots , IAD_{n-1} を生成するののかのいずれかをいう。また、内部ライトデータ ITD の生成方法とは、例えば、値「1」を n 個連続するのか、値「0」を n 個連続するのか、「101010…」と交互に値「1」と値「0」とを繰り返すのか、「010101…」と交互に値「0」と値「1」とを繰り返すのかをいう。

【0035】

次に、ライトサイクル T_W では、図 5 (4) 及び (5) に示すように、外部チップセレクト信号 $ECSB$ を「L」レベルに設定するとともに、外部ライトイネーブル信号 $EWEB$ を所定期間「L」レベルに設定することにより、テスト回路 11 がライトコマンド WCM を受け付ける。そして、図 5 (8) 及び (6) に示すように、RAM マクロ 12 に書き込むべき外部ライトデータ ETD 及びこの外部ライトデータ ETD が書き込まれる記憶領域を指定するための外部アドレス EAD を外部からテスト回路 11 に供給する。図 5 (8) において、「0」は、外部ライトデータ ETD が値「0」であることを表している。また、図 5 (6) において、「0」は、外部アドレス EAD が (0, 0) であること、すなわち、ロウアドレスが 2 進数で 4 ビットの値「0000」であり、コラムアドレスが 2 進数で 4 ビットの値「0000」であることを表している。

【0036】

このライトサイクル T_W では、図 5 (9) に示すように、高速データ発生回路 17 において外部クロック ECK の 1 サイクルに対して n ビット分の内部ライトデータ ITD が発生され、これら n ビット分の内部ライトデータ ITD が、高速アドレス発生回路 16 において発生された n ビット分の内部アドレス IAD (図

5 (7) 参照) に対応したRAMマクロ12の記憶領域に書き込まれる。この場合の内部ライトデータITDの生成及び内部アドレスIADの生成は、上記した設定サイクル T_S で設定された内部ライトデータITDの生成方法と内部アドレスIADの生成方法とに従って行われる。図5 (9) において、「0～n-1」は、上記した設定サイクル T_S で設定された内部ライトデータITDの生成方法に従って高速データ発生回路17においてn個の内部ライトデータITDが生成されていることを表している。図5 (7) において、図中左から1番目の「0～n-1」は、上記した設定サイクル T_S で設定された内部アドレスIADの生成方法に従って生成されたn個の内部アドレスIADが接続切替回路18を介してRAMマクロ12に供給されていることを表している。また、図5 (12) において、図中左から1番目の「0～n-1」は、RAMマクロ12に高速アドレス発生回路17から接続切替回路18を介してn個の内部アドレスIADが供給され、このn個の内部アドレスIADに従ってn個のライトデータTDの書き込み処理が行われていることを表している。

なお、このライトサイクル T_W に順次続く外部クロックECKの各サイクルにおいて外部アドレスEADにnをインクリメント又はデクリメントした新たな外部アドレスEADをテスト回路11に供給するとともに、外部データETDを供給する処理を繰り返すと、RAMマクロ12のすべての記憶領域に所望のデータを書き込むことができる。

【0037】

次に、第1のリードサイクル T_{R1} では、図5 (4) 及び (5) に示すように、外部チップセレクト信号ECSEBを”L”レベルに設定するとともに、外部ライトイネーブル信号EWEBを”H”レベルに設定することにより、テスト回路11がリードコマンドRCMを受け付ける。そして、図5 (6) に示すように、RAMマクロ12から外部リードデータETQとして読み出すべきデータの記憶領域を指定するための外部アドレスEADを外部からテスト回路11に供給する。図5 (6) において、「0」は、外部アドレスEADが(0, 0)であること、すなわち、ロウアドレスが2進数で4ビットの値「0000」であり、カラムアドレスが2進数で4ビットの値「0000」であることを表している。

【0038】

この第1のリードサイクル T_{R1} では、図5(7)に示すように、高速アドレス発生回路16において外部クロックECKの1サイクルに対して外部アドレスEADに対応したnビット分の内部アドレスIADが発生される。この場合の内部アドレスIADの生成は、上記した設定サイクル T_S で設定された内部アドレスIADの生成方法とに従って行われる。図5(7)において、図中左から2番目の「0～n-1」は、上記した設定サイクル T_S で設定された内部アドレスIADの生成方法に従って生成されたn個の内部アドレスIADがRAMマクロ12に供給されていることを表している。また、図5(12)において、図中左から2番目の「0～n-1」は、RAMマクロ12において高速アドレス発生回路17から接続切替回路18を介して供給されたn個の内部アドレスIADに従ってn個のリードデータTQの読み出し処理が行われていることを表している。

【0039】

これにより、図5(10)に示すように、RAMマクロ12のn個の内部アドレスIADに対応した記憶領域からn個のリードデータTQが読み出され、接続切替回路18を介してn個の内部リードデータITQとして高速データ発生回路17に供給される。したがって、高速発生回路17は、図5(11)に示すように、n個の内部リードデータITQの中から外部アドレスEADに一対一に対応した1ビットの内部リードデータITQを選択し、外部リードデータETQとして外部に出力する。

そして、この第1のリードサイクル T_{R1} に順次続く外部クロックECKの各サイクルにおいて外部アドレスEADに1をインクリメントした新たな外部アドレスEADをテスト回路11に供給する処理を繰り返すと、RAMマクロ12のすべての記憶領域から所望のデータを読み出すことができる。図5においては、第2～第4のリードサイクル $T_{R2} \sim T_{R4}$ を示している。

【0040】

次に、上記した第1～第4のリードサイクル $T_{R1} \sim T_{R4}$ の詳細について、図6に示すフローチャート及び図7に示すタイミング・チャートを参照して説明する。ここでは、一例として、上記したnが4、すなわち、PLLクロックPC

Kが外部クロックECKの4倍の周波数を有しており、外部アドレスEADとして(2, 0)、(3, 0)、(0, 0)、(1, 0)を順に与えた場合について説明する。

まず、テスト回路11において、リードコマンドRCMが受け付けられる(図6のステップSP1)と、図7(1)に示す外部クロックECKの第1のリードサイクルTR1では、図2に示す外部アドレス取込・ラッチ回路21が図7(2)に示す外部アドレスEAD(今の場合、(2, 0))を取り込む(ステップSP2)とともに、PLLC14が外部クロックECKの立ち上がりに同期して、外部クロックECKの1サイクルに対し4個のパルスを出す、すなわち、周波数が4倍のPLLクロックPCK(図7(5)参照)を出力する(ステップSP3)。これと同時に、高速制御信号15、高速アドレス発生回路16及び高速データ発生回路17に外部チップセレクト信号ECSE及び外部ライトイネーブル信号EWEBが供給される(ステップSP4)。次に、図2に示す外部アドレス取込・ラッチ回路21は、外部アドレスEADをラッチしてラッチアドレスLAD(今の場合、(2, 0))(図7(4)参照)として高速データ発生回路17に供給する(ステップSP5)とともに、制御バス23を介して内部アドレス発生回路22に外部アドレスEADを転送する(ステップSP6)。

【0041】

次に、図7(1)に示す外部クロックECKの第2のリードサイクルTR2では、外部アドレス取込・ラッチ回路21が図7(2)に示す外部アドレスEAD(今の場合、(3, 0))を取り込む(ステップSP2)。次に、外部アドレス取込・ラッチ回路21は、外部アドレスEADをラッチしてラッチアドレスLAD(今の場合、(3, 0))(図7(4)参照)として高速データ発生回路17に供給する(ステップSP5)とともに、制御バス23を介して内部アドレス発生回路22に外部アドレスEADを転送する(ステップSP6)。

一方、内部アドレス発生回路22は、外部アドレス取込・ラッチ回路21から制御バス23を介して供給される外部アドレスEAD(今の場合、(2, 0))を含む4つの内部アドレスIAD(今の場合、(0, 0)、(1, 0)、(2, 0)、(3, 0))(図7(6)参照)をPLLクロックPCKの立ち上がり

同期して発生する（ステップSP7）。また、図7（1）に示す外部クロックECKの第1及び第2のリードサイクルTR₁及びTR₂では、上記した処理と並行して、高速制御信号発生回路15は、外部チップセレクト信号EC_{SB}及び外部ライトイネーブル信号EW_{EB}に基づいて、内部チップセレクト信号IC_{SB}及び内部ライトイネーブル信号IW_{EB}を発生するとともに、PLLクロックPCK及び外部アドレスEADに基づいて、図7（7）に示すリードイネーブル信号REを発生する（ステップSP8）。

【0042】

これにより、4つの内部アドレスIADが接続切替回路18を介して4つのアドレスAD（今の場合、（0，0）、（1，0）、（2，0）、（3，0））としてRAMマクロ12に供給されるので、RAMマクロ12の4つのアドレスADに対応した記憶領域から、接続切替回路18から供給されるクロックCKに同期して4つのリードデータTQが読み出され、接続切替回路18を介して4つの内部リードデータITQ（今の場合、4ビットのデータQ₀～Q₃）（図7（8）参照）として高速データ発生回路17に供給される（ステップSP9）。高速データ発生回路17では、図3に示すリードデータ選択回路24において、外部アドレス取込・ラッチ回路21から供給されるラッチアドレスLADを構成するロウアドレス（L_{x3}，L_{x2}，L_{x1}，L_{x0}）と、内部アドレス発生回路22から供給される内部アドレスIADを構成するロウアドレス（i_{x3}，i_{x2}，i_{x1}，i_{x0}）とが比較されるとともに、ラッチアドレスLADを構成するカラムアドレス（L_{y3}，L_{y2}，L_{y1}，L_{y0}）と、内部アドレスIADを構成するカラムアドレス（i_{y3}，i_{y2}，i_{y1}，i_{y0}）とが比較され、ロウアドレスのすべてのビット及びカラムアドレスのすべてのビットが一致すると、3入力アンドゲート48からはPLLクロックPCKに同期して、図7（9）に示す“H”レベルの選択信号RHITが出力される。したがって、トランスファゲート55からは、図7（8）に示す4つの内部リードデータITQのうち、外部アドレスEAD（今の場合、（2，0））に対応し、かつ、奇数番目の1ビットのデータだけが出力される。

【0043】

次に、図7（1）に示す外部クロックECKの第3のリードサイクルTR3では、外部アドレス取込・ラッチ回路21が図7（2）に示す外部アドレスEAD（今の場合、（0，0））を取り込む（ステップSP2）。次に、外部アドレス取込・ラッチ回路21は、外部アドレスEADをラッチしてラッチアドレスLAD（今の場合、（0，0））（図7（4）参照）として高速データ発生回路17に供給する（ステップSP5）とともに、制御バス23を介して内部アドレス発生回路22に外部アドレスEADを転送する（ステップSP6）。

一方、内部アドレス発生回路22は、外部アドレス取込・ラッチ回路21から制御バス23を介して供給される外部アドレスEAD（今の場合、（3，0））を含む4つの内部アドレスIAD（今の場合、（0，0）、（1，0）、（2，0）、（3，0））（図7（6）参照）をPLLクロックPCKの立ち上がり同期して発生する（ステップSP7）。また、図7（1）に示す外部クロックECKの第2及び第3のリードサイクルTR2及びTR3では、上記した処理と並行して、高速制御信号発生回路15は、外部チップセレクト信号ECSE及び外部ライトイネーブル信号EWEBに基づいて、内部チップセレクト信号ICSE及び内部ライトイネーブル信号IWEBを発生するとともに、PLLクロックPCK及び外部アドレスEADに基づいて、図7（7）に示すリードイネーブル信号REを発生する（ステップSP8）。

【0044】

これにより、4つの内部アドレスIADが接続切替回路18を介して4つのアドレスAD（今の場合、（0，0）、（1，0）、（2，0）、（3，0））としてRAMマクロ12に供給されるので、RAMマクロ12の4つのアドレスADに対応した記憶領域から、接続切替回路18から供給されるクロックCKに同期して4つのリードデータTQが読み出され、接続切替回路18を介して4つの内部リードデータITQ（今の場合、4ビットのデータQ0～Q3）（図7（8）参照）として高速データ発生回路17に供給される（ステップSP9）。高速データ発生回路17では、図3に示すリードデータ選択回路24において、外部アドレス取込・ラッチ回路21から供給されるラッチアドレスLADを構成するロウアドレス（Lx3，Lx2，Lx1，Lx0）と、内部アドレス発生回路2

2 から供給される内部アドレス IAD を構成するロウアドレス ($i x 3, i x 2, i x 1, i x 0$) とが比較されるとともに、ラッチアドレス LAD を構成するカラムアドレス ($Ly 3, Ly 2, Ly 1, Ly 0$) と、内部アドレス IAD を構成するカラムアドレス ($iy 3, iy 2, iy 1, iy 0$) とが比較され、ロウアドレスのすべてのビット及びカラムアドレスのすべてのビットが一致すると、3 入力アンドゲート 48 からは PLL クロック PCK に同期して、図 7 (9) に示す "H" レベルの選択信号 RHIT が出力される。したがって、トランスファゲート 56 からは、図 7 (8) に示す 4 つの内部リードデータ ITQ のうち、外部アドレス EAD (今の場合、(3, 0)) に対応し、かつ、偶数番目の 1 ビットのデータだけが出力される。

【0045】

さらに、図 3 に示すデータアウトバッファ回路 25 において、トランスファゲート 55 から出力された 1 ビットのデータ (今の場合、データ Q2) がラッチ 64 においてラッチされる。一方、リードデータ選択回路 24 においては、外部クロック ECK とリードイネーブル信号 RE とに基づいて、図 7 (11) に示すデータイネーブル信号 DE が生成される。これにより、データアウトバッファ回路 25 において、ラッチ 64 でラッチされた 1 ビットのデータ (今の場合、データ Q2) が、外部クロック ECK の立ち下がりに同期したアンドゲート 62 の出力データにより開かれたトランスファゲート 66 から出力され、インバータ 69 により反転された後、図 7 (12) に示す外部リードデータ ETQ として出力される (ステップ SP10)。したがって、図示せぬテスト装置では、外部クロック ECK に同期して、外部アドレス EAD に一対一に対応した外部リードデータ ETQ の値に基づいて、RAM マクロ 12 の外部アドレス EAD に対応した 1 個のメモリセルが使用可能 (パス (pass)) か使用不能 (フェイル (fail)) かをリアルタイムで判断することができる。

【0046】

次に、図 7 (1) に示す外部クロック ECK の第 4 のリードサイクル TR4 では、外部アドレス取込・ラッチ回路 21 が図 7 (2) に示す外部アドレス EAD (今の場合、(1, 0)) を取り込む (ステップ SP2)。次に、外部アドレス

取込・ラッチ回路 21 は、外部アドレス EAD をラッチしてラッチアドレス LAD (今の場合、(1, 0)) (図 7 (4) 参照) として高速データ発生回路 17 に供給する (ステップ SP5) とともに、制御バス 23 を介して内部アドレス発生回路 22 に外部アドレス EAD を転送する (ステップ SP6)。

一方、内部アドレス発生回路 22 は、外部アドレス取込・ラッチ回路 21 から制御バス 23 を介して供給される外部アドレス EAD (今の場合、(0, 0)) を含む 4 つの内部アドレス IAD (今の場合、(0, 0)、(1, 0)、(2, 0)、(3, 0)) (図 7 (6) 参照) を PLL クロック PCK の立ち上がりにも同期して発生する (ステップ SP7)。また、図 7 (1) に示す外部クロック ECK の第 3 及び第 4 のリードサイクル TR3 及び TR4 では、上記した処理と並行して、高速制御信号発生回路 15 は、外部チップセレクト信号 ECSB 及び外部ライトイネーブル信号 EWEB に基づいて、内部チップセレクト信号 ICSEB 及び内部ライトイネーブル信号 IWEB を発生するとともに、PLL クロック PCK 及び外部アドレス EAD に基づいて、図 7 (7) に示すリードイネーブル信号 RE を発生する (ステップ SP8)。

【0047】

これにより、4 つの内部アドレス IAD が接続切替回路 18 を介して 4 つのアドレス AD (今の場合、(0, 0)、(1, 0)、(2, 0)、(3, 0)) として RAM マクロ 12 に供給されるので、RAM マクロ 12 の 4 つのアドレス AD に対応した記憶領域から、接続切替回路 18 から供給されるクロック CK に同期して 4 つのリードデータ TQ が読み出され、接続切替回路 18 を介して 4 つの内部リードデータ ITQ (今の場合、4 ビットのデータ Q0～Q3) (図 7 (8) 参照) として高速データ発生回路 17 に供給される (ステップ SP9)。高速データ発生回路 17 では、図 3 に示すリードデータ選択回路 24 において、外部アドレス取込・ラッチ回路 21 から供給されるラッチアドレス LAD を構成するロウアドレス (Lx3, Lx2, Lx1, Lx0) と、内部アドレス発生回路 22 から供給される内部アドレス IAD を構成するロウアドレス (ix3, ix2, ix1, ix0) とが比較されるとともに、ラッチアドレス LAD を構成するカラムアドレス (Ly3, Ly2, Ly1, Ly0) と、内部アドレス IAD を

構成するカラムアドレス ($i y_3, i y_2, i y_1, i y_0$) とが比較され、ロウアドレスのすべてのビット及びカラムアドレスのすべてのビットが一致すると、3入力アンドゲート 48 からは PLL クロック PCK に同期して、図 7 (9) に示す "H" レベルの選択信号 RHIT が出力される。したがって、トランスファゲート 56 からは、図 7 (8) に示す 4 つの内部リードデータ ITQ のうち、外部アドレス EAD (今の場合、(0, 0)) に対応し、かつ、奇数番目の 1 ビットのデータだけが出力される。

【0048】

さらに、図 3 に示すデータアウトバッファ回路 25 において、トランスファゲート 55 から出力された 1 ビットのデータ (今の場合、データ Q3) がラッチ 64 においてラッチされる。一方、リードデータ選択回路 24 においては、外部クロック ECK とリードイネーブル信号 RE とに基づいて、図 7 (11) に示すデータイネーブル信号 DE が生成される。これにより、データアウトバッファ回路 25 において、ラッチ 64 でラッチされた 1 ビットのデータ (今の場合、データ Q3) が、外部クロック ECK の立ち下がりに同期したアンドゲート 62 の出力データにより開かれたトランスファゲート 66 から出力され、インバータ 69 により反転された後、図 7 (12) に示す外部リードデータ ETQ として出力される (ステップ SP10)。したがって、図示せぬテスト装置では、外部クロック ECK に同期して、外部アドレス EAD に一対一に対応した外部リードデータ ETQ の値に基づいて、RAM マクロ 12 の外部アドレス EAD に対応した 1 個のメモリセルが使用可能 (パス (pass)) か使用不能 (フェイル (fail)) かをリアルタイムで判断することができる。

なお、これ以降の動作については、出力されるデータが異なるだけであるので、その説明を省略する。

【0049】

このように、この例の構成によれば、低速の外部クロック ECK に同期した、その周波数が外部クロック ECK の周波数の n 倍の PLL クロック PCK を用いてテスト回路 11 において RAM マクロ 12 に対する高速なデータの書き込み及び読み出しを実現するとともに、外部クロック ECK に同期して外部アドレス E

ADに一对一に対応した1ビットのデータの読み出しが可能となった。したがって、読み出された1ビットのデータに対応したRAMマクロ12の1個のメモリセルが使用可能（パス（pass））か使用不能（フェイル（fail））かをリアルタイムで判断することができる。これにより、上記した半導体記憶装置のテスト方法を、RAMマクロ12の電気的特性等を検査し、欠陥メモリセルを含む列又は行を冗長メモリセルの列又は行に置換するメモリセルの救済を行うプローブテスト工程に用いることができる。また、上記した半導体記憶装置のテスト方法では、1つの外部アドレスEADをテスト回路11に与えるだけでn個の内部ライトデータITDの書き込みが高速なPLLクロックPCKに同期して行われるので、その分だけテスト時間を短縮することができる。

【0050】

以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。

例えば、上述の実施例においては、外部クロックの通倍の内部クロックを発生する回路としてPLLを用いる例を示したが、これに限定されず、遅延同期ループ回路（DLLC；Delay Locked Loop Circuit）を用いても良い。

また、上述の実施例においては、図5に示すライトサイクル T_W の時に外部から供給する外部アドレスEADと、第1のリードサイクル T_{R1} の時に外部から供給する外部アドレスEADとが同一である例を示したが、これに限定されず、これらの外部アドレスEADは異なっても良い。

また、上述の実施例においては、内部アドレス発生回路22は、外部アドレス取込・ラッチ回路21から制御バス23を介して供給される外部アドレスEADを含む4つの内部アドレスIADをPLLクロックPCKの立ち上がりに同期して発生する例を示したが、これに限定されない。例えば、内部アドレス発生回路22は、外部アドレス取込・ラッチ回路21から制御バス23を介して供給される外部アドレスEADを含む4つの内部アドレスIADをPLLクロックPCKの立ち下がりに同期して発生するように構成しても良い。

また、上述の実施例においては、nが4である例を示したが、これに限定され

ず、 n は2, 3, 5, 6, 7, 8, 12, 16, 32, 64のいずれでも良い。

また、上述の実施例においては、この発明をRAMマクロを有する半導体記憶装置のテストに適用する例を示したが、これに限定されず、この発明は、SRAM等の半導体記憶装置単体、あるいはSRAMやDRAM等の半導体記憶装置を混載したSOCやASIC (Application Specific Integrated Circuit) にも適用することができる。上記したDRAMとしては、通常の同期型DRAMの他、DDR (Double Data Rate) 動作可能な同期型DRAMや、ラムバスDRAM (Rambus DRAM) (商標名) と呼ばれる高速なデータ転送が可能なDRAMがある。ここで、DDR動作とは、クロックの立ち上がりと立ち下がり両エッジに同期してデータの入出力を制御することにより、従来の同期型DRAMと比べて2倍のデータ転送レートで動作することを意味している。

【0051】

【発明の効果】

以上説明したように、この発明の構成によれば、外部クロックの周波数の n 倍 (n は自然数) の周波数を有し、外部クロックに同期した高速クロックに同期して、半導体記憶装置の記憶部に書き込むべき1ビット分のデータの記憶領域を指定するために供給される外部アドレスを含む n 個の内部アドレスを発生するとともに、高速クロックに同期して n 個の内部アドレスに対応した n ビットの内部ライトデータを発生して記憶部に書き込む第1のステップと、記憶部から読み出すべき1ビット分のデータの記憶領域を指定するために供給される外部アドレスをラッチし、外部アドレスを含む n 個の内部アドレスを高速クロックに同期して発生するとともに、高速クロックに同期して n 個の内部アドレスに対応した n ビットの内部リードデータを記憶部から読み出し、 n 個の内部アドレスのうち、ラッチした外部アドレスと一致した内部アドレスに対応した内部リードデータを出力する第2のステップとを有している。

したがって、低速な外部クロックを n 倍した高速な内部クロックを用いた場合であっても、1つの外部アドレスに対し一対一に対応した読み出しデータを得ることができる。また、記憶部に対するデータの書き込み時間が通常の n 分の1になるので、その分テスト時間を短縮することができる。

【図面の簡単な説明】**【図 1】**

この発明の一実施例である半導体記憶装置のテスト方法を適用した半導体記憶装置の一部の構成を示すブロック図である。

【図 2】

同装置を構成する高速アドレス発生回路 16 の構成を示すブロック図である。

【図 3】

同装置を構成する高速データ発生回路 17 の一部の構成を示すブロック図である。

【図 4】

高速制御信号発生回路 15 及び接続切替回路 18 における、PLL クロック PCK と、外部クロック ECK、テスト切替信号 HSP T と、内部クロック ICK と、クロック CK との関係を示すタイミング・チャートである。

【図 5】

同方法を説明するためのタイミング・チャートである。

【図 6】

同方法を説明するためのフローチャートである。

【図 7】

同方法を説明するためのタイミング・チャートである。

【図 8】

従来の半導体記憶装置のテスト方法を適用した半導体装置の一部の構成例を示すブロック図である。

【符号の説明】

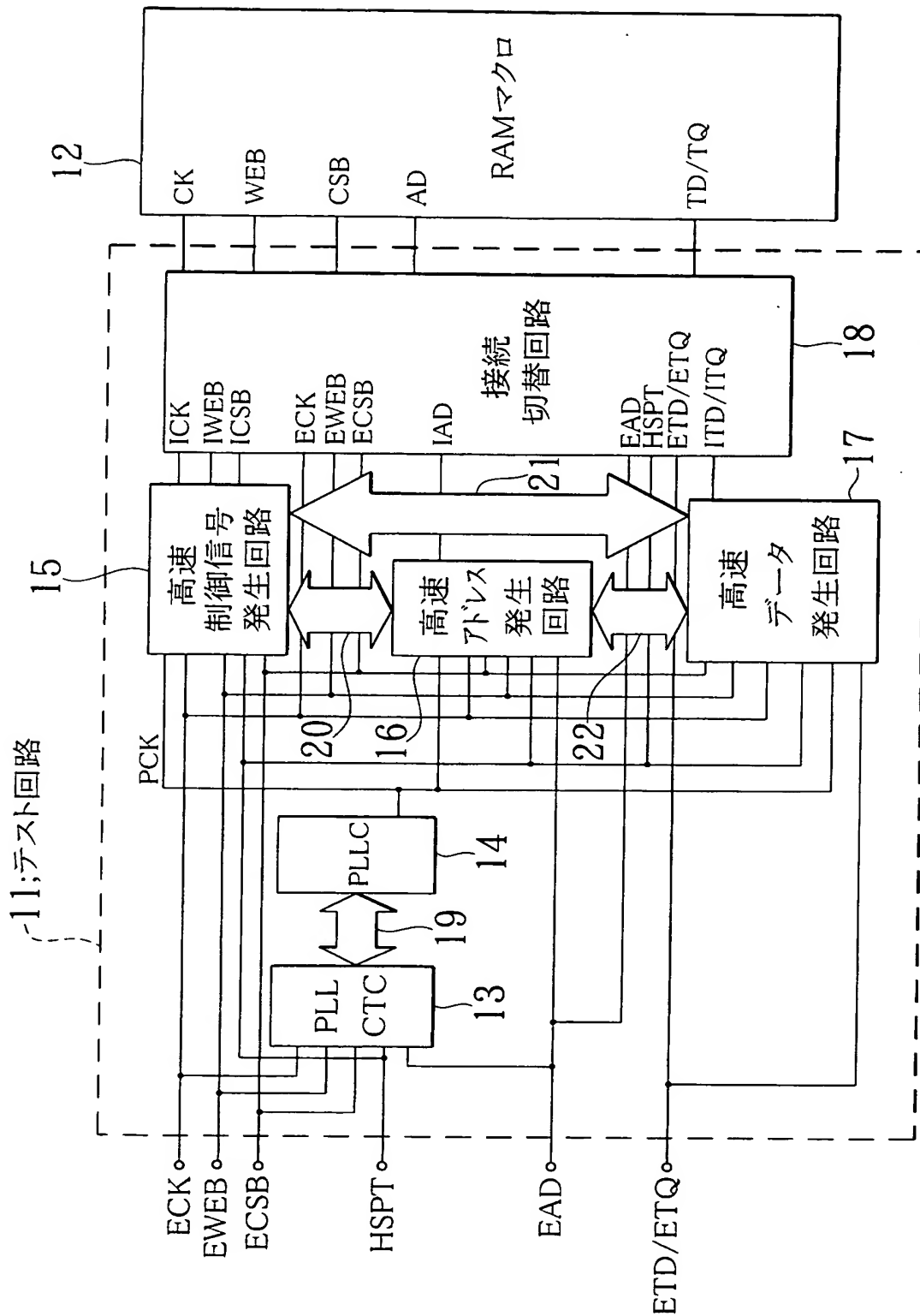
- 11 テスト回路
- 12 RAMマクロ（記憶部）
- 14 PLLC（高速クロック発生回路）
- 16 高速アドレス発生回路
- 17 高速データ発生回路
- 21 外部アドレス取込・ラッチ回路

- 2 2 内部アドレス発生回路
- 2 4 リードデータ選択回路
- 2 5 データアウトバッファ回路

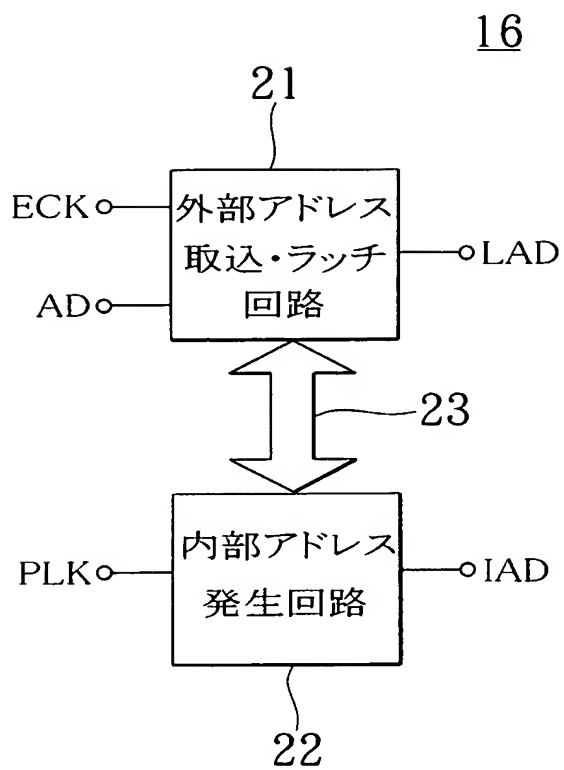
【書類名】

図面

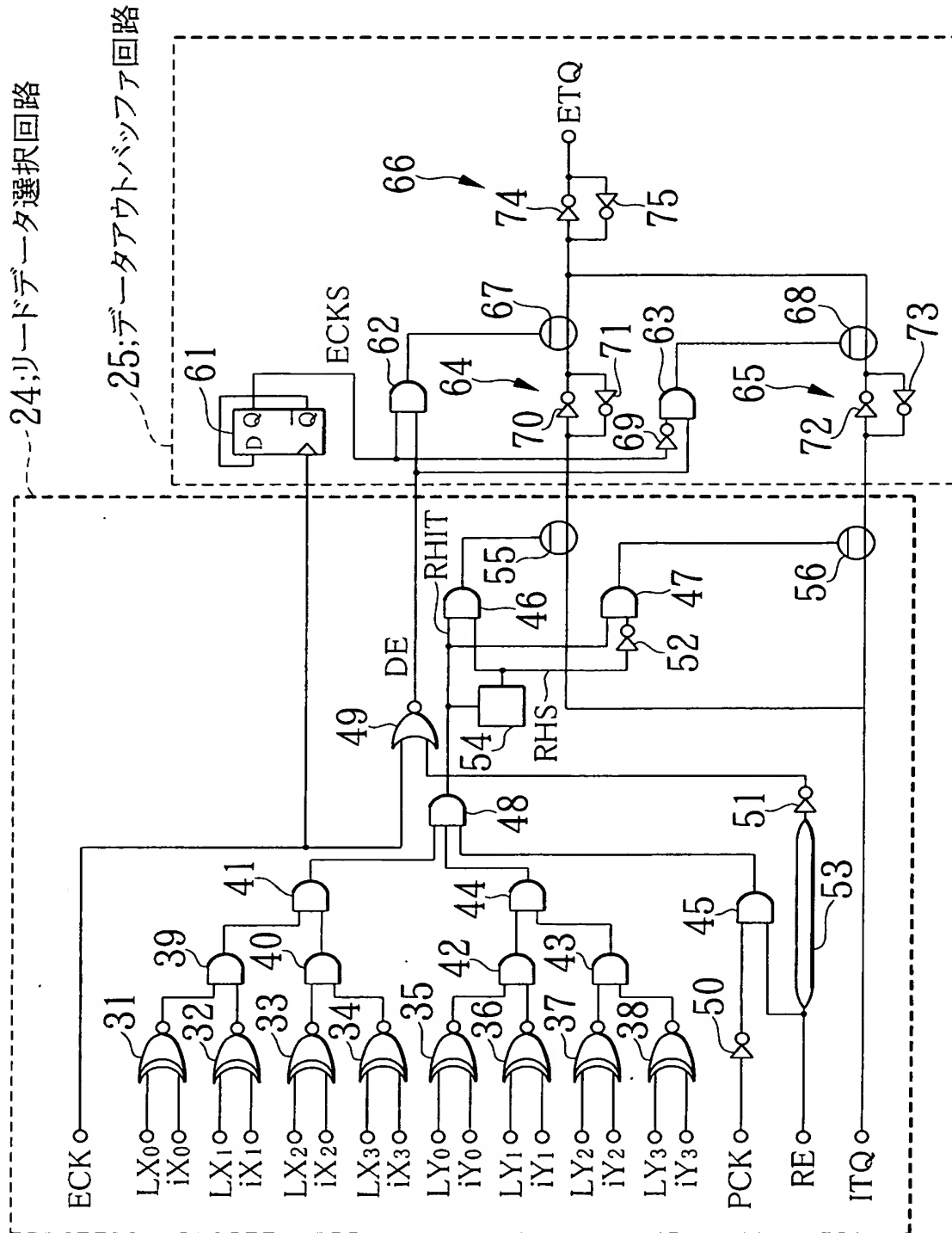
【図 1】



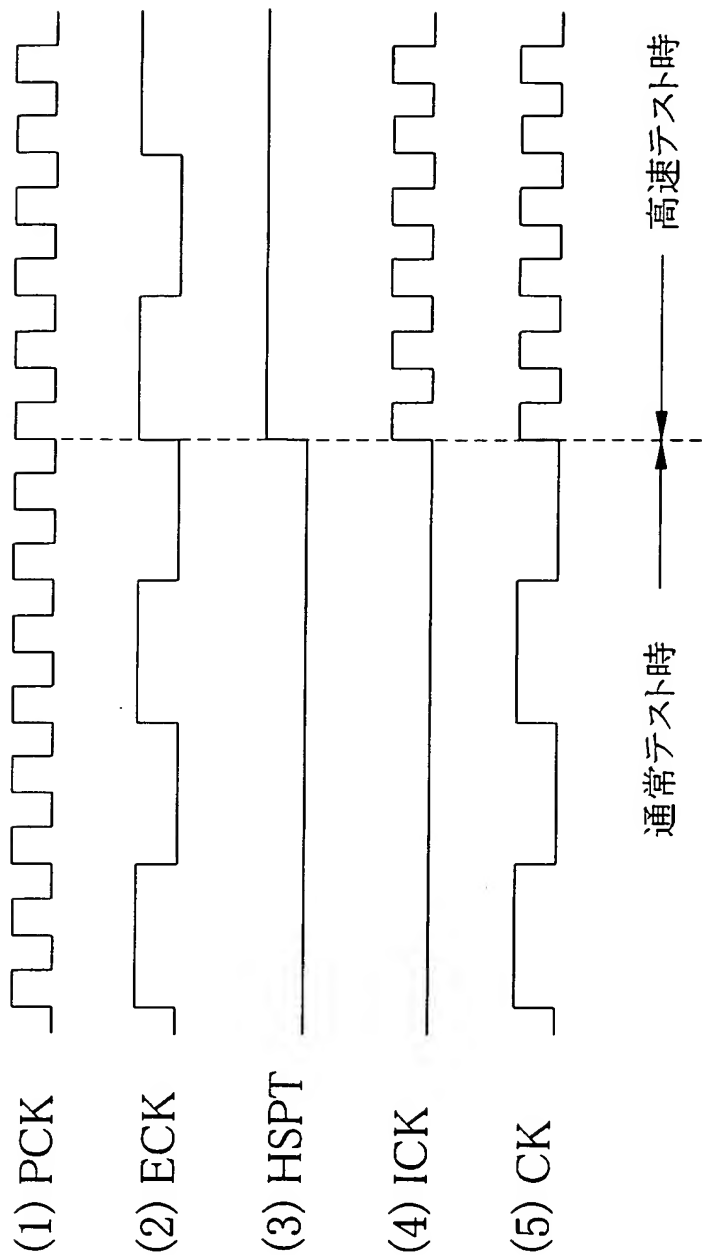
【図 2】



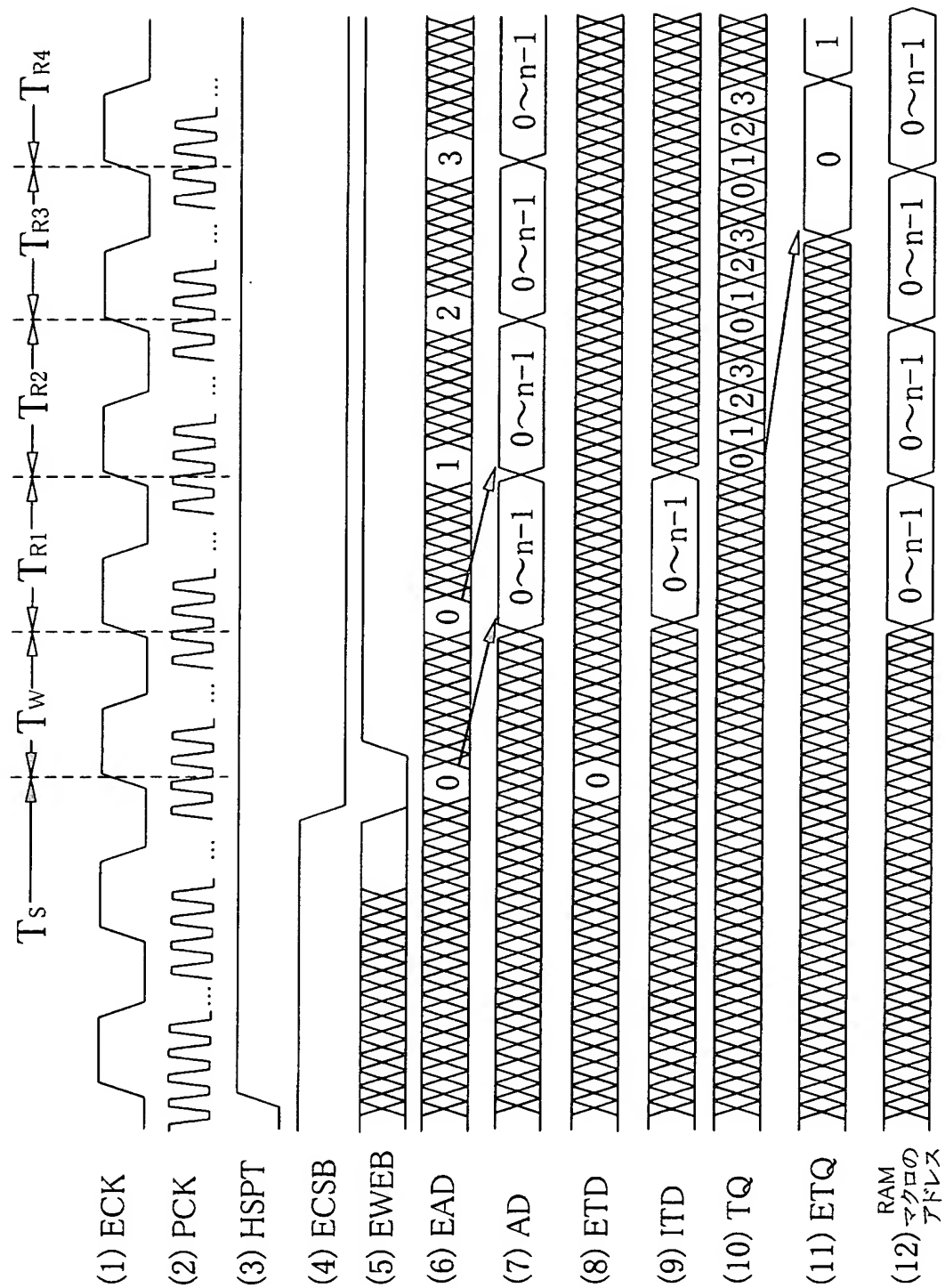
【図 3】



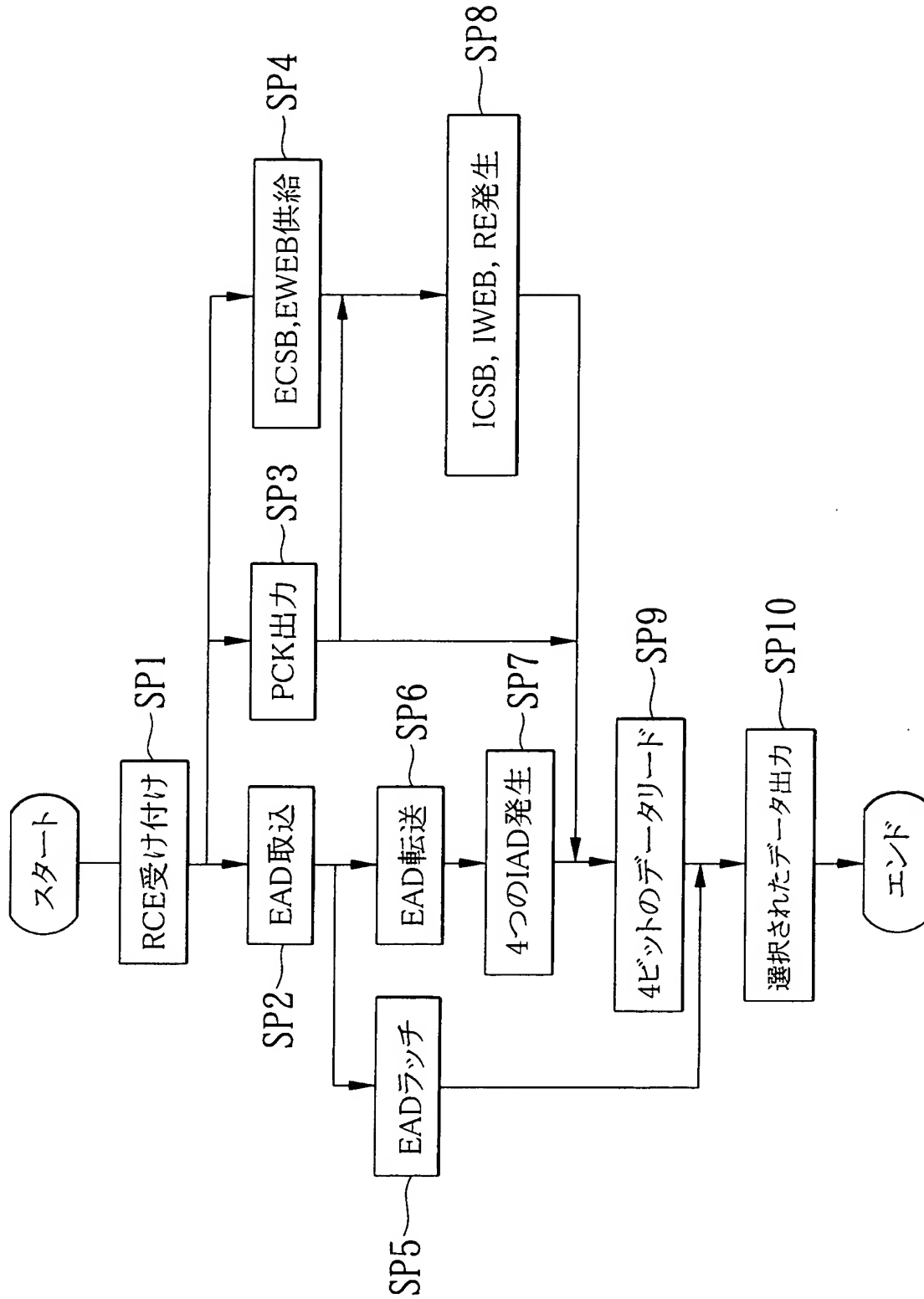
【図 4】



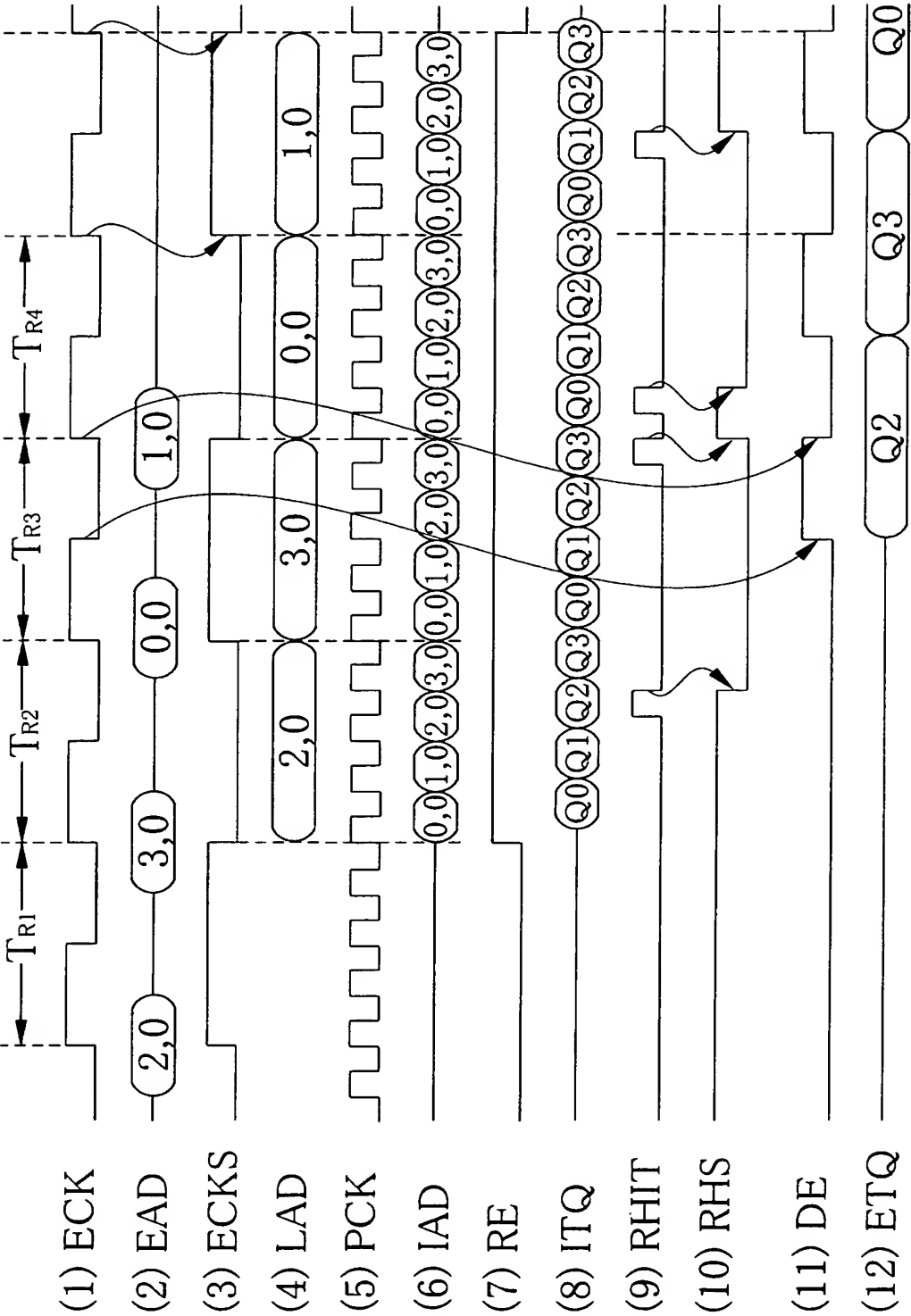
【図 5】



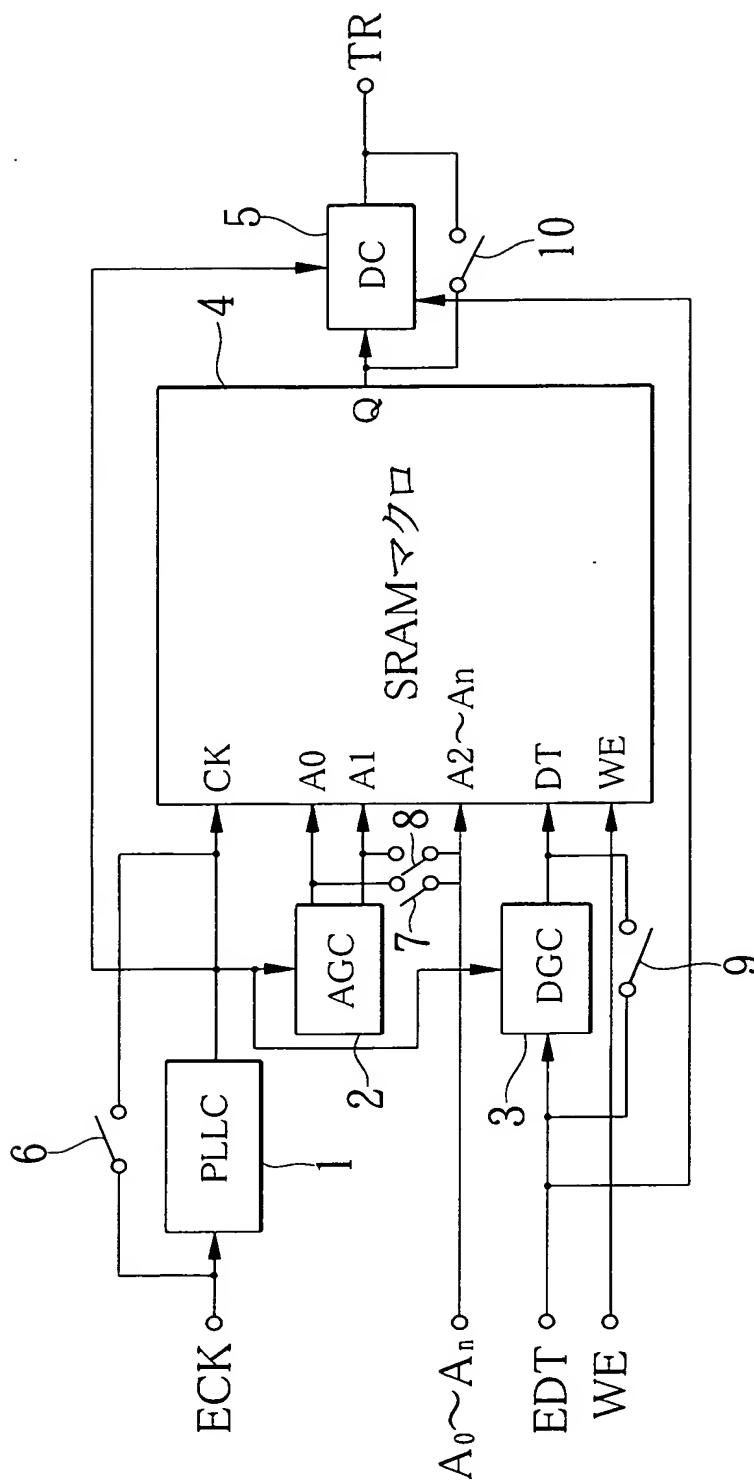
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 低速な外部クロックを逡倍した高速な内部クロックを用いても、1つの外部アドレスに対し一対一に対応した読み出しデータを得る。

【解決手段】 この半導体記憶装置のテスト方法では、外部クロック ECK の 4 倍の周波数の PLL クロック PCK に同期して外部アドレス EAD を含む n 個の内部アドレス IAD を発生し、PLL クロック PCK に同期して n ビットの内部ライトデータ ITD を発生して RAM マクロ 12 に書き込んだ後、外部アドレス EAD をラッチし、外部アドレス EAD を含む n 個の内部アドレス IAD を PLL クロック PCK に同期して発生し、PLL クロック PCK に同期して n 個の内部アドレス IAD に対応した n ビットの内部リードデータ ITQ を RAM マクロ 12 から読み出し、n 個の内部アドレス IAD のうち、ラッチアドレス LAD と一致した内部アドレス IAD に対応した内部リードデータ ITQ を出力する。

【選択図】 図 1

特願 2 0 0 2 - 3 4 9 2 7 5

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社